

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298028

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 21/3205
C23C 16/02
C23C 16/56
C25D 7/12
H01L 21/28
H01L 21/285
H01L 21/768

(21)Application number : 2000-115187

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 17.04.2000

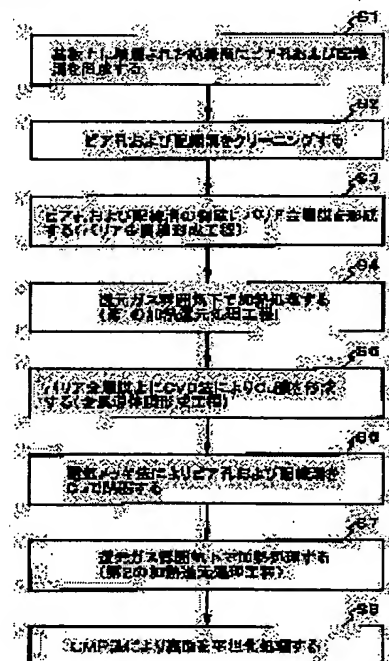
(72)Inventor : HOSHINO TOMOHISA
BUZAN BANSON
TEI MOTOICHI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device having the excellent coherency between a barrier metal film and a metal conductor film that is formed by the CVD method.

SOLUTION: A barrier metal film 22 is formed in a via hole 14a, on the sidewall of a wiring groove, and at the bottom of a via hole 14 by using Ta (a barrier metal film-forming process: S3). Heat treatment is made under reducing gas atmosphere such as SiH₄ (a first reducing treatment process: S4). A metal conductive film 24 using Cu is formed by the CVD method on the barrier metal film 22 (metal conductive film formation: S5). Cu is deposited on the metal conductive film 24 by the electric plating method to form a metal conductive part 26 (S6). The heat treatment is made under reducing gas atmosphere such as NH₃ (a second reducing treatment process: S7). Finally, the metal conductive part 26 is polished by the CMP method for planarization treatment (S8).



(18) 日本国特許庁 (J-P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-298028

(P2001-298028A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.	識別記号	F I	テ-マ-ト(参考)
H01L 21/3205		C23C 16/02	4K024
C23C 16/02		16/86	4K030
16/56		C25D 7/12	4M104
C25D 7/12		H01L 21/28	A 5F033
H01L 21/28			

301R

審査請求 未請求 請求項の数14 OL (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-115187(P2000-115187)

(22) 出願日 平成12年4月17日 (2000. 4. 17)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 星野 智久

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内

(72) 発明者 プザン パンソン

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内

(74) 代理人 100070150

弁理士 伊東 忠彦

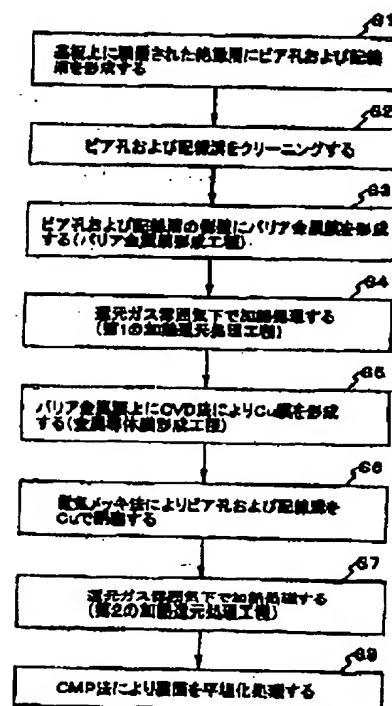
最終頁に続く

(54) 【発明の名称】 半導体デバイス製造方法

(57) 【要約】

【課題】 バリア金属膜とCVD法によって形成される金属導体膜との間の密着性に優れた半導体デバイスの製造方法を提供する。

【解決手段】 ピア孔14aおよび配線溝の側壁およびピア孔14の底にTaを用いてバリア金属膜22を形成する(バリア金属膜形成工程:S3)。ついで、SiH₄等の還元性ガス雰囲気下で加熱処理する(第1の還元処理工程:S4)。ついで、バリア金属膜22上にCVD法によってCuを用いた金属導体膜24を形成する(金属導体膜形成:S5)。ついで、電気メッキ法により金属導体膜24上にCuを堆積し、金属導体部26を形成する(S6)。ついで、NH₃等の還元性ガス雰囲気下で加熱処理する(第2の還元処理工程:S7)。最後に、CMP法により金属導体部26を研磨して平坦化処理する(S8)。



【特許請求の範囲】

【請求項1】 基板上に直接にまたは絶縁体膜を介してバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程とを含む半導体デバイス製造方法において、

該バリア金属膜形成工程と該金属導体膜形成工程との間に、加熱条件下第1の還元性ガスに暴露する第1の還元処理工程と、

該金属導体膜形成工程の後に、加熱条件下第2の還元性ガスに暴露する第2の還元処理工程と、

を有することを特徴とする半導体デバイス製造方法。

【請求項2】 前記第1の還元性ガスは、水素化ケイ素、アンモニアまたは水素のうちの少なくともいずれか1つであることを特徴とする請求項1記載の半導体デバイス製造方法。

【請求項3】 前記第1の還元性処理工程は、250～500℃の温度で行うことを特徴とする請求項1記載の半導体デバイス製造方法。

【請求項4】 前記第2の還元性ガスは、水素または窒素のうちの少なくともいずれか1つであることを特徴とする請求項1記載の半導体デバイス製造方法。

【請求項5】 前記第2の還元性処理工程は、250～500℃の温度で行うことを特徴とする請求項1記載の半導体デバイス製造方法。

【請求項6】 前記金属導体膜は、銅により形成されることを特徴とする請求項1～4のうちのいずれか1項に記載の半導体デバイス製造方法。

【請求項7】 前記バリア金属膜はタンタルまたは窒化タンタルにより形成されることを特徴とする請求項5記載の半導体デバイス製造方法。

【請求項8】 基板上に直接にまたは絶縁体膜を介して窒化タングステンまたは窒化タンタルからなるバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程を含む半導体デバイス製造方法であって、該バリア金属膜形成工程と該金属導体膜形成工程との間に、加熱条件下還元性ガスのプラズマに暴露するプラズマ処理工程を有することを特徴とする半導体デバイス製造方法。

【請求項9】 前記還元性ガスは水素であることを特徴とする請求項8記載の半導体デバイス製造方法。

【請求項10】 前記プラズマ処理工程は、50～400℃の温度で行うことを特徴とする請求項9記載の半導体デバイス製造方法。

【請求項11】 前記金属導体膜形成工程の後に、さらに、加熱条件下還元性ガスに暴露する熱処理工程を有することを特徴とする請求項9記載の半導体デバイス製造方法。

【請求項12】 前記熱処理工程は、250～500℃

の温度で行うことを特徴とする請求項11記載の半導体デバイス製造方法。

【請求項13】 前記金属導体膜は、銅より形成されることを特徴とする請求項9～12のうちのいずれか1項に記載の半導体デバイス製造方法。

【請求項14】 複数の絶縁体膜を重畳的に基板上に設ける際に、それぞれの絶縁膜毎に、該絶縁膜上に窒化タングステンまたは窒化タンタルからなるバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程を含む半導体デバイス製造方法であって、

各々の該バリア金属膜形成工程と該金属導体膜形成工程との間に、加熱条件下還元性ガスのプラズマに暴露するプラズマ処理工程を有することを特徴とする半導体デバイス製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体デバイス製造方法に関し、一層詳細にはバリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程を含む半導体デバイス製造方法に関する。

【0002】

【従来の技術】 ウェハプロセス等の半導体デバイス製造プロセスにおいて、Siウェハやガラスプレート等を材料とする基板上に金属導体膜（パターン）を形成することが行われる。このとき、金属導体膜の金属イオンあるいは原子が絶縁体膜（絶縁膜）中に拡散して絶縁特性を劣化することを防止するため、金属導体膜と絶縁体膜との間にバリア金属膜を形成することが行われている。このバリア金属膜として、例えば、原料として六弗化タングステン（WF₆）とアンモニア（NH₃）を用いた金属CVD（Chemical Vapor Deposition）法や金属PVD（Physical Vapor Deposition）法によって窒化タングステン（WN）薄膜を形成することが行われている。また、金属導体膜についても、バリア金属膜の場合と同様に金属CVD法や金属PVD法により、あるいは、電気メッキ法によって配線（パターン）としての金属導体膜を形成することが行われている。

【0003】 ところで、近年、大規模集積回路（以下、LSIという。）の高密度化および端子数の増加に伴って、LSI間を接続する基板上の上記金属導体膜からなる配線の細密化と配線数の増加が求められている。この場合、銅（Cu）等の金属導体膜をCVD法によって形成する方法については、細密に配線を形成することができて好適であるが、例えば、後述するCMP法による研磨処理等の際に密着性の低下のために、剥離が起こるなどの問題がある。また、この金属導体膜とバリア金属膜との密着性の低下は、半導体デバイス使用の際に断線や短絡を生じる原因ともなる。なお、これに対して、金属導体膜をPVD法によって形成する方法については、密

着性の問題は顕在化しないものの、配線を細密に形成する点において必ずしも十分な方法ではない。

【0004】上記のように金属導体膜の形成方法の違いによって金属導体膜とバリア金属膜との間の密着性に差が生じる原因として、PVD法については形成される金属導体膜中の不純物の含有量が微量であるのに対して、CVD法については、有機原料中の炭素(C)や弗素(F)等が形成される金属導体膜中に不純物として残存することが挙げられる。

【0005】一方、絶縁層を多層に設けた多層薄膜配線基板等において絶縁層間の配線を電気的に接続するためにビア(接続用導電体部)が形成され、あるいは、半導体の拡散層に電気的に接続するためにコンタクトが形成される。これらビアやコンタクトに用いる金属導体膜としては、通常、アルミニウム(Al)あるいは銅(Cu)が好適に用いられる。しかしながらLSIの高密度化のためには、ビアを形成するためのビア孔やコンタクトを形成するためのコンタクト孔は孔径を微細化するとともに孔の深さを深くすることが必要であり、したがって、アスペクト比(深さ/孔径)が大きくなる傾向にある。このような場合にビア孔等の底部分と側壁部分に均一な膜厚で金属導体膜およびバリア金属膜を形成する方法としては、前記したCVD法が好適に採用されており、そのCVD材料として前記したCuおよびWNあるいは窒化タンタル(TaN)が好適に用いられている。

【0006】しかしながら、この場合も前記した配線(パターン)形成のときと同様に、ビアを被覆するためのバリア金属膜と金属導体膜との密着性が低下する問題を回避することができない。

【0007】

【発明が解決しようとする課題】本発明は、上記の問題に鑑みてなされたものであり、バリア金属膜とCVD法によって形成される金属導体膜との間の密着性に優れた半導体デバイスの製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る半導体デバイス製造方法は、基板上に直接にまたは絶縁体膜を介してバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程とを含む半導体デバイス製造方法において、該バリア金属膜形成工程と該金属導体膜形成工程との間に、加熱条件下第1の還元性ガスに暴露する第1の還元処理工程と、該金属導体膜形成工程の後に、加熱条件下第2の還元性ガスに暴露する第2の還元処理工程と、を有することを特徴とする。

【0009】ここで、基板は、Siウェハやガラスプレート等を用いることができ、特に限定しない。また、バリア金属膜は、加熱あるいは電気的なストレス過程において金属導体膜が絶縁体膜あるいは基板と反応して絶縁

体膜あるいは基板の機能を劣化させることを防止するための金属薄膜である。また、金属導体膜は、配線パターンであってもよく、あるいは、コンタクト孔やビア孔に堆積されるビアやコンタクト等の導体層であってもよい。これらは、以下の各発明においても同様である。

【0010】上記の発明の構成により、バリア金属膜とCVD法により形成される金属導体膜との密着性を向上することができる。

【0011】この場合、前記第1の還元性ガスは、水素化ケイ素、アンモニアまたは水素のうちの少なくともいずれか1つであり、また、前記第2の還元性ガスは、水素または窒素のうちの少なくともいずれか1つであり、また、前記第1の還元処理工程および前記第2の還元性処理工程は、それぞれ250～500℃の温度で行うと、より好適に本発明の効果を奏することができる。

【0012】ここで、それぞれの温度は、処理を行うチャンバ内の雰囲気温度をいうが、この雰囲気温度は形成されたバリア金属膜や金属導体膜の温度と実質的に同一である。

【0013】水素化ケイ素($\text{Si}_n\text{H}_{2n+2}$)は、モノシラン(SiH_4)であると、一層好適である。また、第1の還元処理工程における温度が300～450℃の範囲内にあり、第2の還元処理工程における温度が300～400℃の範囲内にあると、一層好適である。

【0014】また、この場合、金属導体膜は銅(Cu)により形成され、また、バリア金属膜はタンタル(Ta)または窒化タンタル(TaN)により形成されると、本発明の効果を好適に奏することができる。

【0015】また、本発明に係る半導体デバイス製造方法は、基板上に直接にまたは絶縁体膜を介して窒化タングステン(WN)または窒化タンタル(TaN)からなるバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程を含む半導体デバイス製造方法であって、該バリア金属膜形成工程と該金属導体膜形成工程との間に、還元性ガスのプラズマに暴露するプラズマ処理工程を有することを特徴とする。

【0016】これにより、バリア金属膜として窒化タングステン膜または窒化タンタル膜を用いることにより良好なバリア性を維持しつつ、バリア金属膜とCVD法により形成される金属導体膜との密着性を向上することができる。

【0017】この場合、前記還元性ガスは水素であり、また、前記プラズマ暴露処理工程は、50～400℃の温度で行うと好適である。温度については、さらに100～250℃の範囲であると、より好適に本発明の効果を奏することができる。

【0018】また、この場合、前記金属導体膜形成工程の後に、さらに、加熱条件下還元性ガスに暴露する熱処理工程を有すると、一層好適に本発明の効果を奏するこ

とができる。

【0019】前記熱処理工程は、 $250\sim 500^{\circ}\text{C}$ の温度で行うと、好適であり、 $300\sim 400^{\circ}\text{C}$ の温度で行うと、より好適である。

【0020】また、この場合、前記金属導体膜は、銅により形成されると、本発明の効果を好適に奏することができる。

【0021】また、本発明に係る半導体デバイス製造方法は、複数の絶縁体膜を基板上に設ける際に、それぞれの絶縁膜毎に、該絶縁膜上に窒化タングステンまたは窒化タンタルからなるバリア金属膜を形成するバリア金属膜形成工程と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成工程を含む半導体デバイス製造方法であって、各々の該バリア金属膜形成工程と該金属導体膜形成工程との間に、すなわち、それぞれの絶縁膜毎の該バリア金属膜形成工程と該金属導体膜形成工程との間に、加熱条件下還元性ガスのプラズマに暴露するプラズマ処理工程を有すると、好適である。

【0022】上記した本発明に係る各半導体デバイス製造方法を実施するために、本発明において用いる半導体デバイス製造装置は、基板上に直接にまたは絶縁体膜を介してバリア金属膜を形成するバリア金属膜形成手段と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成手段とを含む半導体デバイス製造装置において、加熱条件下第1の還元性ガスに暴露する第1の還元処理手段と、加熱条件下第2の還元性ガスに暴露する第2の還元処理手段と、をさらに有し、また、基板上に直接にまたは絶縁体膜を介して窒化タングステンまたは窒化タンタルからなるバリア金属膜を形成するバリア金属膜形成手段と、該バリア金属膜上にCVD法によって金属導体膜を形成する金属導体膜形成手段を含む半導体デバイス製造装置であって、加熱条件下還元性ガスのプラズマに暴露するプラズマ処理手段をさらに有すると、好適である。

【0023】

【発明の実施の形態】本発明に係る半導体デバイス製造方法の好適な実施の形態について、ビア孔に金属導体膜を堆積してビアを形成する場合を例に取り、図を参照して、以下に説明する。

【0024】本実施の形態の第1の例に係る半導体デバイス製造方法について、図1の処理フロー図および図2～図9の半導体デバイスの部分断面図を参照して以下説明する。

【0025】まず、例えば、Siウェハからなる基板10上に複数の絶縁層（絶縁体膜）12a～12cを積層した後（各図では便宜的に複数の層を一括して単一の模様で表示している。以下、単に絶縁層12という。）、絶縁層12に段差状にビア孔14aおよび配線溝14bをエッチングにより形成する（S1、図2）。この場合、基板10の直上に形成される第1層の絶縁層12a

には配線パターンとしての金属導体層16が形成されている。この金属導体層16は、例えば、Cuを用いてCVD法により形成される。なお、金属導体層16と、基板10および絶縁層12aとの間には、例えば、Ta₂N₅を用いてPVD法により形成したバリア金属層18が設けられている。なお、図3以降において基板10は図示を省く。

【0026】について、ウェットクリーニング等により、ビア孔14aおよび配線溝14b中に存在するエッチングの際に発生したポリマー等の不純物（図2中、参照符号20で示す）を除去（クリーニング）する（S2、図3）。

【0027】について、ビア孔14aおよび配線溝14bの側壁およびビア孔14の底（金属導体層16の上端面）にバリア金属膜22を形成する（バリア金属膜形成工程：S3、図4）。このバリア金属膜22は、原料としてタンタル（Ta）またはWを用い、 $1\sim 30\text{Pa}$ （絶対圧）程度の減圧下、室温 $\sim 200^{\circ}\text{C}$ 程度の温度で真空蒸着等のPVD法によって成膜される。この場合、原料のTaやWは、アンモニア（NH₃）あるいは窒素（N₂）のガスにより窒化され、成膜後のバリア金属膜22ではTa₂N₅またはWNに変化している。

【0028】について、還元性ガス雰囲気下で加熱処理する（第1の還元処理工程：S4、図5）。すなわち、還元性ガス（第1の還元性ガス）として、水素化ケイ素（Si_nH_{2n+2}）、好適にはモノシラン（SiH₄）、あるいは、アンモニア（NH₃）、水素（H₂）、窒素（N₂）等を用い、これらいずれかの、還元性ガス雰囲気中において、例えば、 40Pa 程度の真空下で、 $250\sim 500^{\circ}\text{C}$ の範囲内の、例えば、 450°C の温度で、例えば、3分程度処理する。このとき、例えば、NH₃の場合で最大約 200cm^3 （標準状態）/分（min）程度、SiH₄の場合で最大約 5cm^3 （標準状態）/分、H₂の場合で最大約 500cm^3 （標準状態）/分程度、それぞれの還元性ガスの1種類単独でまたは2種類以上を混合して流通させる。

【0029】について、バリア金属膜22上にCVD法によって金属導体膜24を形成する（金属導体膜形成工程：S5、図6）。ここで、原料として、例えば、有機溶液中にCuの一価イオンを含有させた有機金属が用いられる。有機溶液は、ヘキサフルオロアセチルアセトネートに、Cu原子と結合するための配位子として、例えば、トリメチルビニルシラン、アリルトリメチルシラン、2-メチル-1-ヘキセン-3-エン、3-ヘキセン-2、5-ジメチルシラン、ヘキサフルオロプロピン若しくはトリエトキシビニルシラン等のうちのいずれかを含むものを用いる。そして、 $10\sim 10^4\text{Pa}$ 程度、好適には $27\sim 133\text{Pa}$ 程度の真空下で、 $140\sim 240^{\circ}\text{C}$ 程度、好適には $150\sim 210^{\circ}\text{C}$ 程度の温度で、加熱により発生する原料ガスにキャリアガスとしてH₂、H

e、N₂、Ar等を同伴させて成膜する。このときのキャリアガスの流通量は、最大で500 cm³（標準状態）／分程度である。

【0030】について、電気メッキ法により金属導体膜24上にCuを堆積し、ビア孔14aおよび配線溝14bを完全に閉塞するとともに、さらに絶縁層12の上面を覆うようにして金属導体部26を形成する（S6、図7）。

【0031】について、還元性ガス雰囲気下で加熱処理する（第2の還元処理工程：S7、図8）。すなわち、還元性ガス（第2の還元性ガス）として、NH₃、He、H₂、N₂、Arの何れかを用い、少なくとも10 Pa以上、例えば、670 Pa程度の真空下で、250～500℃の範囲内の、例えば、350℃の温度で、少なくとも0.5分以上程度、例えば、5分間、処理する。なお、処理時間は処理温度に依存する。このときの還元性ガスの流量は、例えば、H₂の場合で400 cm³（標準状態）／分程度である。

【0032】ここで、上記の手順に代えて、ステップ6（S6）とステップ7（S7）とは順序を入れ替えて行ってもよい。

【0033】最後に、CMP（Chemical Mechanical Polish）法により金属導体部26を研磨して平坦化処理する（S8、図9）。すなわち、シリカ粒子等を含む研磨液を注ぎながら定盤に貼付した研磨パッドによって金属導体部26を精密に研磨して、絶縁層12を露出させ、絶縁層12の上端面と金属導体部26の上端面が同一平面を構成するように平滑化して、ビア28および配線溝29が形成される。

【0034】上記した各工程に加えてさらに適宜他の工程を経ることにより、バリア金属膜形成工程と金属導体膜形成工程との間に、加熱条件下第1の還元性ガスに暴露する第1の還元処理工程と、金属導体膜形成工程の後に、加熱条件下第2の還元性ガスに暴露する第2の還元処理工程と、を経て本実施の形態の第1の例に係る製造方法による半導体デバイスが完成する。

【0035】つぎに、本実施の形態の第2の例に係る半導体デバイス製造方法について、図10の処理フロー図および図11～図18の半導体デバイスの部分断面図を参照して以下説明する。なお、本実施の形態の第2の例に係る半導体デバイス製造方法において、上記本実施の形態の第1の例に係る半導体デバイス製造方法と同一の方法およびその方法によって形成される同一の構成要素については説明を省略するとともに、同一の構成要素には第1の例と同じ参照符号を付す。

【0036】まず、第1の例と同様の方法により、絶縁層12に段差状のビア孔14aおよび配線溝14bを形成する（S11、図11）。

【0037】について、第1の例と同様の方法により、ビア孔14aおよび配線溝14bをクリーニングする（S

12、図12）。

【0038】について、ビア孔14aおよび配線溝14bの側壁およびビア孔14の底（金属導体層16の上端面）にバリア金属膜30を形成する（バリア金属膜形成工程：S13、図13）。このバリア金属膜30は、原料としてWF₆等を用い、NH₃等を同伴させて、10～500 Pa程度の減圧下、300～500℃程度の温度でCVD法によって成膜される。この場合、NH₃等の窒素を含むガスにより窒化され、成膜後のバリア金属膜30はWNに変化している。

【0039】について、還元性ガスのプラズマにより加熱条件下暴露処理する（プラズマ処理工程：S14、図14）。すなわち、還元性ガスとして、H₂を用い、このH₂を、例えば、100～450℃の温度で、水素流量1～500 cm³（標準状態）／分程度、1～500 Pa程度の圧力条件下で、400 KHz～13.65 MHzの高周波を印加してプラズマ化して使用する。

【0040】について、第1の例と同様の方法により、バリア金属膜30上にCVD法によって金属導体膜32を形成する（金属導体膜形成：S15、図15）。

【0041】について、ビア孔14aおよび配線溝14bを完全に閉塞して金属導体部を形成する前に、還元性ガス雰囲気下で加熱処理する（熱処理工程：S16、図16）。すなわち、還元性ガスとして、H₂、またはN₂を用い、少なくとも10 Pa以上、例えば、670 Pa程度の真空下で、300～350℃の温度で、例えば、5分間熱処理する。なお、処理時間は処理温度に依存する。このときの還元性ガスの流量は、例えば、400 cm³（標準状態）／分程度とされる。

【0042】について、第1の例と同様の方法により、金属導体膜32上にCuを堆積し、ビア孔14aおよび配線溝14bを完全に閉塞するとともに、さらに絶縁層12の上面を覆うようにして金属導体部34を形成する（S17、図17）。

【0043】最後に、第1の例と同様の方法により、CMP法により金属導体部34を研磨して平坦化処理し、ビア36および配線溝37が形成される（S18、図18）。

【0044】上記した各工程に加えてさらに適宜他の工程を経ることにより、バリア金属膜形成工程と金属導体膜形成工程との間に、加熱条件下還元性ガスのプラズマに暴露するプラズマ処理工程と、金属導体膜形成工程の後に、さらに、加熱条件下還元性ガスに暴露する熱処理工程とを経て本実施の形態の第2の例に係る製造方法による半導体デバイスが完成する。

【0045】以上説明した本実施の形態の第1および第2の例に係る半導体デバイスの製造方法により得られた半導体デバイスの密着性評価結果を表1に示す。

【0046】

【表1】

	バリア金属膜材料	金属導体膜材料	第1の還元処理の還元性ガス	第2の還元処理の還元性ガス	プラズマ処理の原料	熱処理の還元性ガス	テープテスト	強度テスト (MPa)
実施例1	TaN(PVD)	Cu(CVD)	NH ₃	H ₂	—	—	O	68
実施例2	TaN(PVD)	Cu(CVD)	SiH ₄	H ₂	—	—	O	74
実施例3	TaN(PVD)	Cu(CVD)	H ₂	H ₂	—	—	O	69
実施例4	WN(CVD)	Cu(CVD)	SiH ₄	H ₂	—	—	O	64
実施例5	WN(CVD)	Cu(CVD)	—	—	H ₂	—	O	75
比較例1	TaN(PVD)	Cu(CVD)	—	—	—	—	×	31
比較例2	TaN(PVD)	Cu(CVD)	—	H ₂	—	—	×	44
比較例3	TaN(PVD)	Cu(CVD)	NH ₃	—	—	—	×	—
比較例4	TaN(PVD)	Cu(CVD)	SiH ₄	—	—	—	×	—
比較例5	TaN(PVD)	Cu(CVD)	H ₂	—	—	—	×	—
参考例	TaN(PVD)	Cu(PVD)+Cu(CVD)	—	H ₂	—	—	O	69

ここで、バリア金属膜等を形成するベースとなる基板10はいずれもSiウエハであり、金属導体膜は特に断らない限りすべてCVD法により形成したCu膜である。実施例1～4は前記本実施の形態の第1の例に対応するものであり、表1に記載のない条件は前記本実施の形態の第1の例の説明で示したとおりである。実施例5は前記本実施の形態の第2の例に対応するものであり、表1に記載のない条件は前記本実施の形態の第2の例の説明で示したとおりである。

【0047】また、実施例1～4に対する比較例として、第1の還元処理と第2の還元処理のうちの少なくとも1つの工程を省略した例を、比較例1～5に示した。また、バリア金属膜としてPVD法によりTa₂N膜を形成し、そのTa₂N膜上に中間膜としてPVD法によりCu膜を形成した後、そのPVD法によるCu膜上に金属

導体膜としてCVD法によりCu膜を形成し、かつ、本発明の第1の還元処理等を行わないものを、参考例として示した。これらの比較例および参考例の記載のない処理条件は本実施の形態の第1または第2の例の条件に準じている。

【0048】密着性の評価は、テープテストおよび強度テストにより行った。テープテストは、所定のテープを基板上の金属導体膜の表面に付着させ、テープを急速に上方に引き上げたときに金属導体膜が基板から剥離するか否かを目視で評価し、強度テストは、セバスチャン測定器を使用した引張り試験法により行った。評価結果は、テープテストについては、金属導体膜が剥離せず密着性の良好なものについて○、金属導体膜が剥離して密着性の良好でないものについて×で示した。強度テストについては、金属導体膜とバリア金属膜との接着箇所が

剥離するときの垂直方向の引張り強度で評価した。

【0049】表1の結果をまとめると、実施例1～5は、参考例と同様に、いずれも密着性が良好である。これに対して、本発明の還元処理等の処理を省いた比較例1～5は、いずれも密着性が良くない。なお、参考例のものは、実施例と同様に密着性が確保されているものの、中間のCu層をPVD法によって形成しているために配線の細密化を図る点において十分でないという不具合がある。

【0050】また、バリア金属膜としてPVD法によって形成したTa₂N膜を用いた実施例1～3のうち、強度テストの測定値は第1の還元処理工程の還元性ガスとしてSiH₄を用いた実施例2のものが7.4MPaで最も大きく、したがって、密着性が最も良好であることがわかった。

【0051】また、特に説明しなかったが、本実施の形態の第2の例に対応する実施例5は、バリア金属膜形成後プラズマ処理に移る前に、一旦、大気中に24h以上暴露したものであるが、このような条件下であっても良好な密着性が得られている。これに対して、プラズマ処理に代えてH₂等の還元性ガス雰囲気下のみで熱処理したもののについては密着性が好ましくないことがわかって

いる。

【0052】本発明の作用効果については以下のことが考えられる。

【0053】まず、本実施の形態の第1の例について、例えば、実施例2のバリア金属膜をXPS測定した結果、Ta₂N表面近傍にSiが数レイヤー成長していることがわかっている。このSiは第1の還元処理工程におけるSiH₄処理の結果生じたものと考えられる。このSiが存在することからみて、SiとTa₂Nとが反応してTaSiNを表面に形成し、このTaSiNの存在が金属導体膜とバリア金属膜との密着性向上に寄与したものと考えられる。また、このような還元処理工程によって界面のC、F等の不純物が減少することがあるが、他の還元性ガスを用いた実施例1、3についても、これと同様にあるいはFの減少と界面での接着層の形成作用が想定される。

【0054】つぎに、本実施の形態の第2の例については、バリア金属膜の表面に存在する炭素、酸素あるいは弗素をプラズマ処理により除去したことが、金属導体膜とバリア金属膜との密着性向上に寄与したものと考えられる。

【0055】以上説明した本発明に係る半導体デバイス製造方法に用いる半導体デバイス製造装置について、装置(クラスターツール)の配置例を図19～図24に示す。

【0056】図19では、例えば搬送アーム41を配置した中央のスペース(搬送室)40を挟んで三方に前処理室(第1処理室)42、金属導体膜形成室(第2処理

室)44および後処理室(第3処理室)46が配置されている。なお、参照符号43は、ロードロック室を示す。ここで、前処理室とは、本実施の第1または第2の形態例のバリア金属膜形成処理を行うバリア金属膜形成手段を備えたとともに本実施の第1の形態例の第1の還元処理を行う第1の還元処理手段または本実施の第2の形態例のプラズマ処理を行うプラズマ処理手段を備えた室であり、後処理室とは、本実施の第1の形態例の第2の還元処理を行う第2の還元処理手段または本実施の第2の形態例の熱処理を行う熱処理手段を備えた室であり、ロードロック室43とは、各処理室を大気中に開放しないでウェハの取り入れ、取り出しを行うための真空室である。これらスペース40、前処理室42、金属導体膜形成室44および後処理室46は、図19のように、全て一括して機密状態下に設けてもよく、また、スペース40のみ大気下に開放されうる状態におき、前処理室42、金属導体膜形成室44および後処理室46はそれぞれ機密室とし、扉を介して半導体デバイスをスペース40との間で搬入、搬出する構造としてもよい。この場合、さらに多数の室を並列的に設ける必要があるときには、スペース40を中心にして各室をサークル状に配置してもよい。

【0057】図20では、後処理室46が独立して他の室42、44およびスペース40と離間して配置されている点が図19と異なる。

【0058】図21では、図19のものから室を1つ減らして、前処理と後処理とが1つの室48で行われるように配置されている。

【0059】図22では、図19のものから室を1つ減らして、前処理と金属導体膜形成とが1つの室50で行われるように配置され、また、後処理室46が独立して室50およびスペース40と離間して配置されている。

【0060】図23では、図21あるいは図22の変形例として、前処理室42と後処理と金属導体膜形成とを行う室52とがスペース40を挟んで対向して配置されている。

【0061】図24では、前処理、金属導体膜形成および後処理をすべて行うための1つのみの室54がスペース40に接して配置されている。

【0062】上記したそれぞれの装置配置は、以下の点に特徴がある。

【0063】まず、各処理室と中央のスペースとを一体的に接続して設けたものは、処理が進行する過程で大気に暴露することなく一貫処理を行うことができる(図14、図21、図23、図24)。

【0064】これに対して、各処理室および中央のスペースと独立に離間して室を設けたものは、種々の理由により、一貫処理するよりも後処理を事後的に行うことが好ましい場合に好適である(図20、図22)。例えば、後処理の前に電気メッキ処理を行う場合が該当す

る。また、各工程のスループットが異なるときにスループットの大きい工程の原材料(中間製品)を予め準備しておいてその工程の処理量の低下を避ける等の生産量調整を行うことができるという観点からも好適である。さらにまた、複数の工程において処理条件が異なることにより、特定の工程において過酷な条件で処理を行うことによりその処理を行う室が早期に損傷しやすいことがあるが、この場合、複数の室が独立して設けられることにより、その損傷した特定の室についてのみ補修、取り替えを行えばよく、好適である。

【0065】また、複数の処理を1つの室で行うものは、室を設けるための費用面からみて好ましい。一方、この場合、異なる処理を1つの室で行うためには、温度等の処理条件を変更するために所定の時間を要しスループットの低下を招き、また、このために精密な温度調整を行なうことは必ずしも容易ではないことに配慮する必要がある。

【0066】上記したそれぞれの装置配置の特性を総合的に勘案すると、図20、図19および図21に示された装置配置が、この願で、より好ましいと考えられる。

【0067】

【発明の効果】本発明に係る半導体デバイス製造方法によれば、バリア金属膜形成工程と金属導体膜形成工程との間に、加熱条件下第1の還元性ガスに暴露する第1の還元処理工程と、金属導体膜形成工程の後に、加熱条件下第2の還元性ガスに暴露する第2の還元処理工程と、を有するため、バリア金属膜とCVD法により形成される金属導体膜との密着性を向上することができる。

【0068】また、本発明に係る半導体デバイス製造方法によれば、窒化タングステンまたは窒化タンタルからなるバリア金属膜形成工程と金属導体膜形成工程との間に、還元性ガスのプラズマに暴露するプラズマ処理工程を有するため、バリア性を良好に維持しつつ、バリア金属膜とCVD法により形成される金属導体膜との密着性を向上することができる。

【図面の簡単な説明】

【図1】本実施の形態の第1の例に係る半導体デバイスの製造方法の手順を示すフロー図である。

【図2】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、ビア孔および配線溝形成工程における半導体デバイスの部分断面図である。

【図3】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、ビア孔および配線溝クリーニング工程における半導体デバイスの部分断面図である。

【図4】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、バリア金属膜形成工程における半導体デバイスの部分断面図である。

【図5】本実施の形態の第1の例に係る半導体デバイス

の製造方法を説明するためのものであり、第1の還元処理工程における半導体デバイスの部分断面図である。

【図6】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、金属導体膜形成工程における半導体デバイスの部分断面図である。

【図7】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、金属導体部堆積工程における半導体デバイスの部分断面図である。

【図8】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、第2の還元処理工程における半導体デバイスの部分断面図である。

【図9】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、研磨工程における半導体デバイスの部分断面図である。

【図10】本実施の形態の第2の例に係る半導体デバイスの製造方法の手順を示すフロー図である。

【図11】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、ビア孔および配線溝形成工程における半導体デバイスの部分断面図である。

【図12】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、ビア孔および配線溝クリーニング工程における半導体デバイスの部分断面図である。

【図13】本実施の形態の第1の例に係る半導体デバイスの製造方法を説明するためのものであり、バリア金属膜形成工程における半導体デバイスの部分断面図である。

【図14】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、プラズマ処理工程における半導体デバイスの部分断面図である。

【図15】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、金属導体膜形成工程における半導体デバイスの部分断面図である。

【図16】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、熱処理工程における半導体デバイスの部分断面図である。

【図17】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、金属導体部堆積工程における半導体デバイスの部分断面図である。

【図18】本実施の形態の第2の例に係る半導体デバイスの製造方法を説明するためのものであり、研磨工程における半導体デバイスの部分断面図である。

【図19】本実施の形態例に係る半導体デバイスの製造方法に適用される半導体製造装置の配置の一例を示す図である。

【図20】本実施の形態例に係る半導体デバイスの製造方法に適用される半導体製造装置の配置の他の一例を示す図である。

【図21】本実施の形態例に係る半導体デバイスの製造

方法に適用される半導体製造装置の配置の他の一例を示す図である。

【図22】本実施の形態例に係る半導体デバイスの製造方法に適用される半導体製造装置の配置の他の一例を示す図である。

【図23】本実施の形態例に係る半導体デバイスの製造方法に適用される半導体製造装置の配置の他の一例を示す図である。

【図24】本実施の形態例に係る半導体デバイスの製造方法に適用される半導体製造装置の配置の他の一例を示す図である。

【符号の説明】

10 基板

12、12a～12c 絶縁層

14a ビア孔

14b 配線溝

22、30 バリア金属膜

24、32 金属導体膜

26、34 金属導体部

28、36 ビア

29、37 配線層

40 スペース

41 搬送アーム

42 前処理室

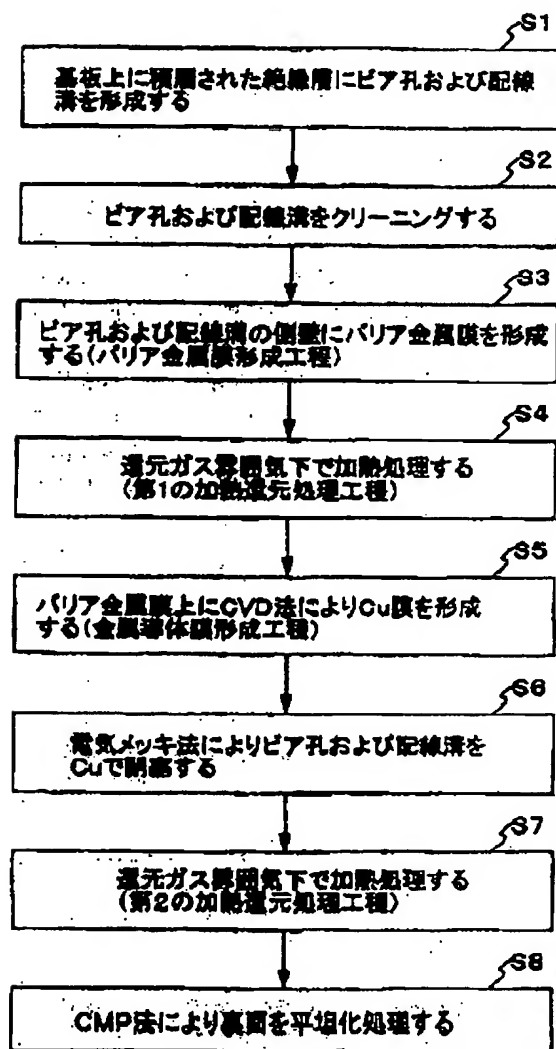
43 ロードロック室

44 金属導体膜形成室

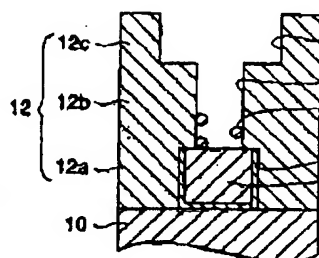
46 後処理室

48、50、52、54 室

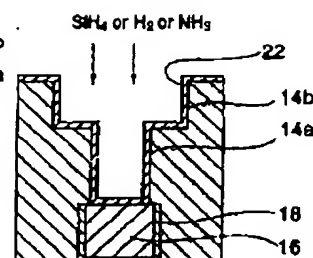
【図1】



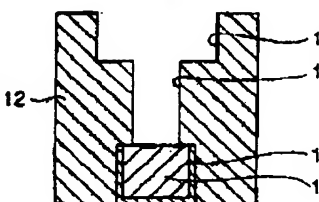
【図2】



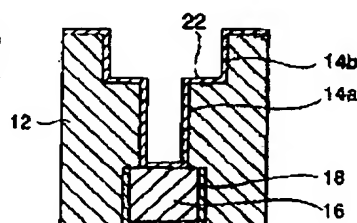
【図5】



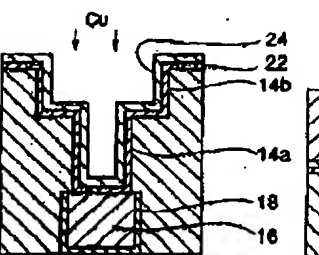
【図3】



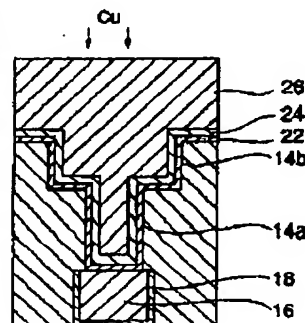
【図4】



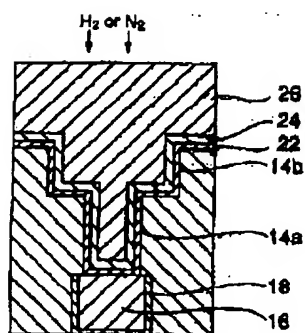
【図6】



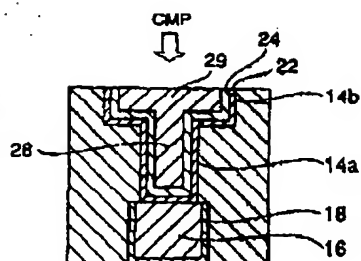
【図7】



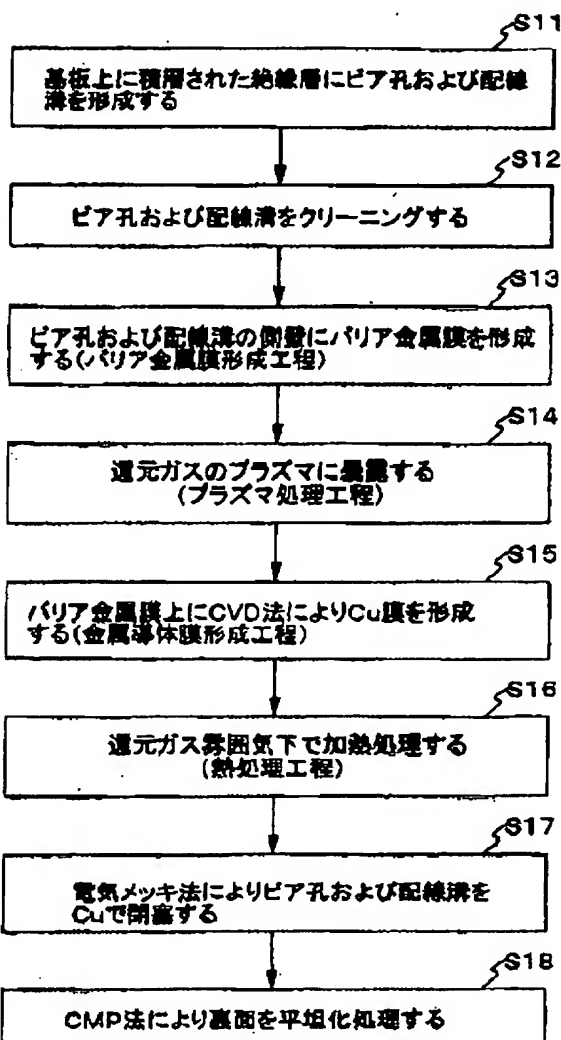
【図8】



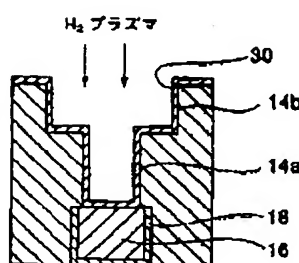
【図9】



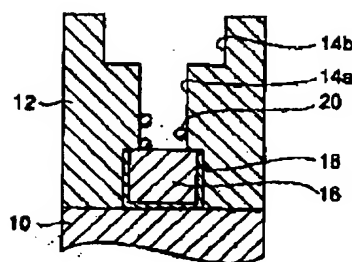
【図10】



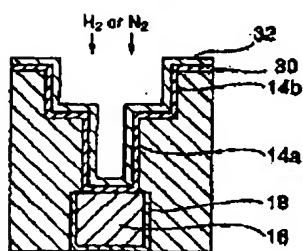
【図14】



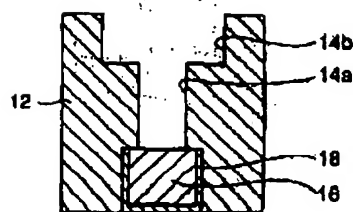
【図11】



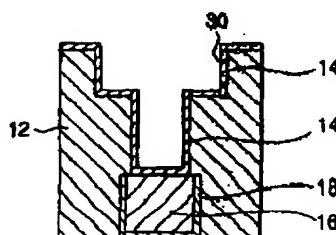
【図16】



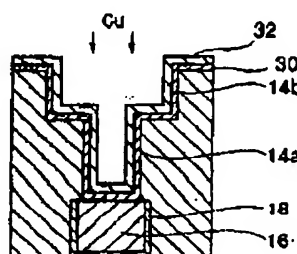
【図12】



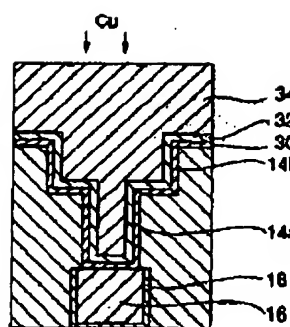
【図13】



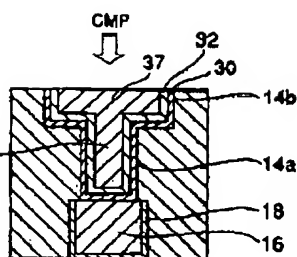
【図15】



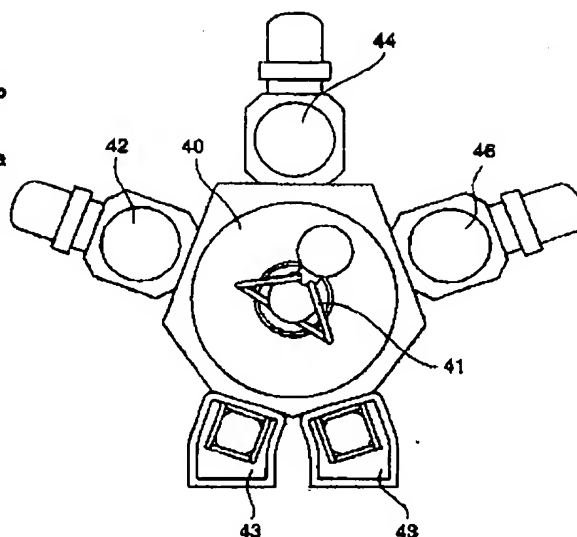
【図17】



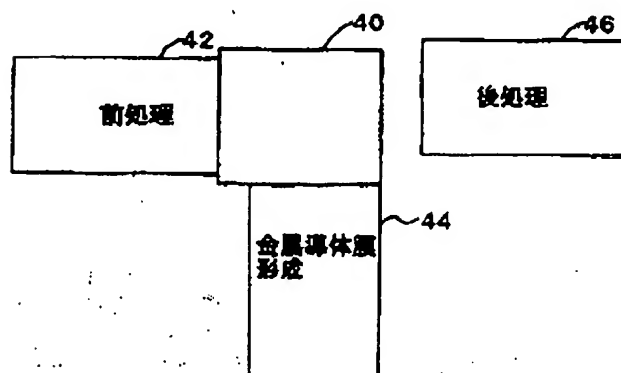
【図18】



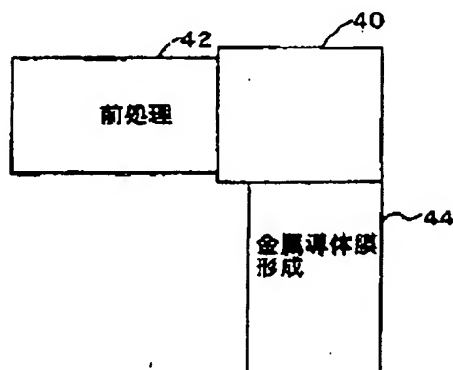
【図19】



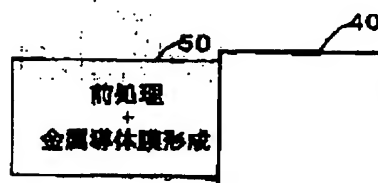
【図20】



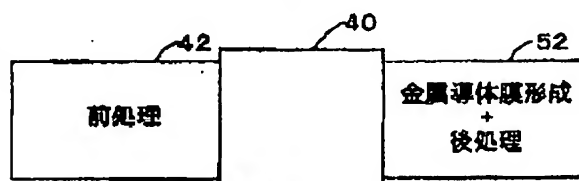
【図21】



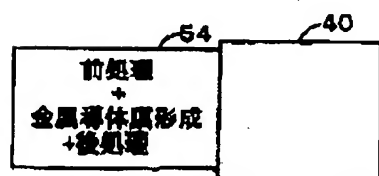
【図22】



【図23】



【図24】



フロントページの続き

(51) Int. Cl. 7

識別記号

H 0 1 L 21/28
21/285
21/768

3 Q 1

F I

ターミナル (参考)

H 0 1 L 21/285
21/88
21/90C
R
A

(72) 発明者 鄭 基市

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内

Fターム(参考) 4K024 AA09 AB01 AB02 AB15 BA11
BB12 BC10 DA10 DB01 GA01
4K030 AA11 BA01 CA04 DA03 DA08
JA10 LA15
4M104 BB17 BB32 BB33 CC01 DD22
DD33 DD34 DD43 DD44 DD52
DD77 DD79 FF16 HH08
5F033 HH21 HH32 HH34 JJ21 JJ32
JJ34 KK11 KK32 MM02 MM12
MM13 NN06 NN07 PP01 PP04
PP06 PP09 PP11 PP14 PP19
PP27 PP33 QQ00 QQ09 QQ19
QQ48 QQ73 QQ85 QQ91 QQ92
QQ96 QQ98 WW03 XX13